

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表平8-510072

(43) 公表日 平成8年(1996)10月22日

(51) Int.Cl.<sup>6</sup>

G 0 6 F 12/02

識別記号

5 1 0

庁内整理番号

7623-5B

F I

G 0 6 F 12/02

5 1 0 A

審査請求 未請求 予備審査請求 有 (全 29 頁)

(21) 出願番号 特願平6-520018  
(86) (22) 出願日 平成6年(1994)2月28日  
(85) 翻訳文提出日 平成7年(1995)9月8日  
(86) 国際出願番号 PCT/US94/01848  
(87) 国際公開番号 WO94/20906  
(87) 国際公開日 平成6年(1994)9月15日  
(31) 優先権主張番号 08/027, 131  
(32) 優先日 1993年3月8日  
(33) 優先権主張国 米国 (US)

(71) 出願人 エム・システムズ・リミテッド  
イスラエル、テル・アビブ、ビー・オー・  
ボックス・58036 (番地なし)  
(71) 出願人 エム・システムズ・インコーポレイテッド  
アメリカ合衆国、95054 カリフォルニア  
州、サンタ・クララ、オールド・アイアン  
サイズ・ドライブ、4655  
(72) 発明者 パン、アミル  
イスラエル、62309 テル・アビブ、エヒ  
ユダ・ハマクキャビ、47  
(74) 代理人 弁理士 深見 久郎 (外3名)

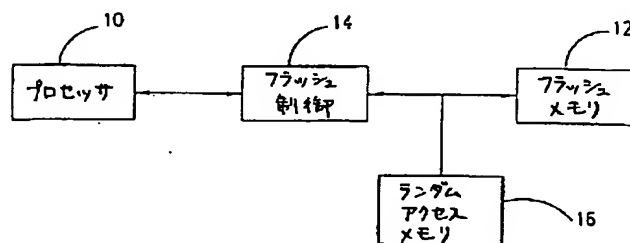
最終頁に続く

(54) 【発明の名称】 フラッシュファイルシステム

(57) 【要約】

フラッシュメモリ (12)、フラッシュコントローラ (14) とランダムアクセスメモリ (16) とを含む仮想マッピングシステムを設けることにより、データを書込まれていない物理アドレス場所に連続して書込むことが可能になる。仮想メモリマップ (14、16) はメモリ内のデータの場所を追跡するためにフラッシュメモリ物理場所アドレスを関連づける。

FIG.1



## 【特許請求の範囲】

1. 書込まれていない物理メモリ場所にのみデータを書込むことが可能であり、連続メモリ場所のゾーンを同時に消去可能なメモリのためのメモリ管理方法であって、

前記メモリを各々が少なくとも1つのゾーンを含む複数のユニットに編成するステップと、

各ユニットを複数のブロックに編成するステップとを含み、前記ブロックの各々は複数の連続物理メモリ場所からなり、

ユニットの各ブロックの状態を活性書込、非書込または削除として示す各ユニットに対する割当表を確立するステップと、

ユニット内で仮想アドレスを物理アドレスにマッピングするための表を確立するステップとを含み、

データを前記メモリの仮想アドレスに書込む際には、

(a) 前記仮想アドレスをユニット内の物理ブロックアドレスにマッピングするステップと、

(b) サブパラグラフ(a)で前記仮想アドレスがマッピングされた前記ユニットに対する前記割当表を調べて、前記物理ブロックアドレスでのブロックの状態が活性書込であるか非書込であるかを決定するステップと、

(c) 前記物理ブロックアドレスでの前記ブロックが活性書込状態であれば

(1) 前記ユニットの少なくとも1つに対する前記

割当表を調べて、書込まれていないブロックアドレスを識別するステップと、

(2) 前記データを前記メモリの前記書込まれていないブロックアドレスに書込むステップと、

(3) 前記仮想アドレスがマッピングされた前記ユニットに対する前記割当表を変更して、前記物理ブロックアドレスを削除として示すステップと、

(4) パラグラフ(c)(2)で前記データが書込まれたユニットに対する前記割当表を変更して、前記データが書込まれた前記書込まれていないブロッ

クアドレスを活性書込として示すステップと、

(5) 前記表が前記仮想アドレスを前記データがステップ(c)(2)で書込まれた前記書込まれていないブロックの物理アドレスにマッピングするように、ユニット内で仮想アドレスを物理アドレスにマッピングするための前記表を変更するステップとを含む、メモリ管理方法。

2. すべてのブロックが書込まれていない転送ユニットを前記メモリに確立するステップと、

前記転送ユニット以外に消去されるべき選択されたユニットを周期的に識別するステップと、

前記選択されたユニットの各活性書込ブロックを読出すステップと、

前記選択されたユニットの各活性書込ブロックを前記転送ユニットに書込むステップと、

前記転送ユニット割当表を更新して、すぐ前の書込ステップで書込まれたブロックの状態を書込として示すステップと、

前記選択されたブロックを消去するステップと、

仮想アドレスを物理アドレスにする前記表を更新して、前記選択されたユニットを転送ユニットとして示すステップとを含み、前記転送ユニットは前記選択されたユニットのユニット識別子を有する、請求項1に記載のメモリ管理方法。

3. 書込まれていない物理メモリ場所にのみデータを書込むことができ、連続メモリ場所のゾーンを同時に消去可能なメモリのためのメモリ管理方法であって、

仮想アドレスを物理アドレスにマッピングする第1の表を前記メモリにストアするステップと、

前記メモリにストアされた前記第1の表をページアドレス指定可能なブロックのセグメントに編成するステップと、

ページアドレスを前記メモリの前記ページアドレス指定可能なブロックの物理アドレスにマッピングする第2の表をランダムアクセスメモリにストアするステップと、

変更されたページアドレス指定可能なブロックを書込まれていない物理ブロッ

ク場所に書込むことによって、前記メモリにストアされた前記第1の表のページアドレス指定可能なブロックを変更するステップと、  
前記ランダムアクセスメモリにストアされた前記第2の

表を、変更されたページアドレス指定可能なブロックのページアドレスを前記変更されたページアドレス指定可能なブロックが書込まれた書込まれていない物理ブロック場所にマッピングするように更新するステップとを含む、メモリ管理方法。

4. 書込まれていない物理メモリ場所にのみデータを書込むことができ、連続メモリ場所のゾーンを同時に消去可能なメモリのためのメモリ管理方法であって、  
前記メモリを各々が少なくとも1つのゾーンを含む複数のユニットに編成するステップと、

各ユニットを複数のブロックに編成するステップとを含み、前記ブロックの各々は複数の連続物理メモリ場所からなり、

ユニット内で仮想アドレスを物理アドレスにマッピングするための第1の表を確立するステップと、

ページアドレス指定可能なブロックのセグメントに編成された前記第1の表を前記メモリにストアするステップと、

ページを前記メモリにストアされた前記ページアドレス指定可能なブロックの物理アドレスにマッピングする第2の表をランダムアクセスメモリにストアするステップと、

前記メモリの仮想アドレスにデータを書込む際には、

- (a) 前記仮想アドレスからページアドレスを引出すステップと、
- (b) 前記ページアドレスを前記メモリのページアド

レス指定可能なブロックにマッピングするステップと、

(c) 前記メモリの前記ページアドレス指定可能なブロックで仮想アドレスを物理アドレスにマッピングする前記第1の表のセグメントを讀出すステップと

- (d) 前記仮想アドレスを物理アドレスにマッピングするステップと、
  - (e) 前記物理アドレスの前記ブロックが活性書込状態の場合には、
    - (1) 前記データを前記メモリの書込まれていないブロックアドレスに書込むステップと、
    - (2) 前記第1の表が前記仮想アドレスを前記データがステップ(e)(1)で書込まれた書込まれていないブロックの物理アドレスにマッピングするように前記第1の表のセグメントを変更するステップと、
    - (3) ステップ(e)(2)からの変更された第1の表のセグメントを前記メモリの書込まれていない物理ブロック場所に書込むステップと、
    - (4) 前記書込まれていない物理ブロック場所の変更された第1の表のセグメントのページアドレスをマッピングするように、前記ランダムアクセスメモリにストアされた前記第2の表を更新するステップとを含む、メモリ管理方法。
5. 書込まれていない物理メモリ場所のみデータを書込むことができ、連続メモリ場所のゾーンを同時に消去可能

なメモリのためのメモリ管理方法であって、

前記メモリを各々が少なくとも1つのゾーンを含む複数のユニットに編成するステップと、

各ユニットを複数のブロックに編成するステップとを含み、前記ブロックの各々は複数の連続物理メモリ場所からなり、

ユニットの各ブロックの状態を活性書込、非書込または削除として示す各ユニットに対する割当表を確立するステップと、

ユニット内で仮想アドレスを物理アドレスにマッピングするための表を確立するステップと、

前記メモリの仮想アドレスにデータを書込む際には、

(a) 前記仮想アドレスをユニット内の物理ブロックアドレスにマッピングするステップと、

(b) サブパラグラフ(a)で前記仮想アドレスがマッピングされた前記ユニットに対する前記割当表を調べて、前記物理ブロックアドレスでのブロックの

状態が活性書込であるか非書込であるかを決定するステップと、

(c) 前記物理ブロックアドレスの前記ブロックが活性書込状態であれば、

(1) 前記ユニットの少なくとも1つに対する前記割当表を調べて、書込まれていないブロックアドレスを識別するステップと、

(2) 前記データを前記メモリの前記書込まれてい

ないブロックアドレスに書込むステップと、

(3) 前記仮想アドレスがマッピングされた前記ユニットに対する前記割当表を変更して、前記物理ブロックアドレスを削除として示すステップと、

(4) パラグラフ(c)(2)で前記データが書込まれたユニットに対する前記割当表を変更して、前記データが書込まれた前記書込まれていないブロックアドレスを活性書込として示すステップと、

(5) 前記仮想アドレスを前記データがステップ(c)(2)で書込まれた前記書込まれていないブロックの物理アドレスにマッピングするように、ユニット内で仮想アドレスを物理アドレスにマッピングするための前記表を変更するステップとを含み、

前記メモリの仮想アドレスにデータを読出す際には、

(d) 前記仮想アドレスをユニット内の物理ブロックアドレスにマッピングするステップと、

(e) 前記メモリの前記物理アドレスから前記データを読出すステップとを含む、メモリ管理方法。

6. すべてのブロックが書込まれていない転送ユニットを前記メモリに確立するステップと、

前記転送ユニット以外の消去されるべき選択されたユニットを周期的に識別するステップと、

前記選択されたユニットの各活性書込ブロックを読出すステップと、

前記選択されたユニットの各活性書込ブロックを前記転送ユニットに書込むステップと、

前記転送ユニット割当表を更新して、すぐ前の書込ステップで書込まれたブロックの状態を書込として示すステップと、

前記選択されたブロックを消去するステップと、

仮想アドレスを物理アドレスにする前記表を更新して、前記選択されたユニットを転送ユニットとして示すステップとを含み、前記転送ユニットは前記選択されたユニットのユニット識別子を有する、請求項5に記載のメモリ管理方法。

7. 書込まれていない物理メモリ場所のみデータを書込むことができ、連続メモリ場所のゾーンを同時に消去可能なメモリのためのメモリ管理方法であって、

前記メモリを各々が少なくとも1つのゾーンを含む複数のユニットに編成するステップと、

各ユニットを複数のブロックに編成するステップとを含み、前記ブロックの各々は複数の連続物理メモリ場所からなり、

ユニット内で仮想アドレスを物理アドレスにマッピングするための第1の表を確立するステップと、

ページアドレス指定可能なブロックのセグメントに編成された前記第1の表を前記メモリにストアするステップと、

ページを前記メモリにストアされた前記ページアドレス

指定可能なブロックの物理アドレスにマッピングする第2の表をランダムアクセスメモリにストアするステップと、

前記メモリの仮想アドレスにデータを書込む際には

(a) 前記仮想アドレスからページアドレスを引出すステップと、

(b) 前記ページアドレスを前記メモリのページアドレス指定可能なブロックにマッピングするステップと、

(c) 前記メモリの前記ページアドレス指定可能なブロックで仮想アドレスを物理アドレスにマッピングする前記第1の表のセグメントを読出すステップと

(d) 前記仮想アドレスを物理アドレスにマッピングするステップと、

(e) 前記物理アドレスの前記ブロックが活性書込状態の場合には

- (1) 前記データを前記メモリの書込まれていないブロックアドレスに書込むステップと、
- (2) 前記第1の表が前記仮想アドレスを前記データがステップ(e)(1)で書込まれた書込まれていないブロックの物理アドレスにマッピングするように前記第1の表のセグメントを変更するステップと、
- (3) ステップ(e)(2)からの変更された第1の表のセグメントを前記メモリの書込まれていない物理ブロック場所に書込むステップと、
- (4) 前記書込まれていない物理ブロック場所の変

更された第1の表のセグメントのページアドレスをマッピングするように、前記ランダムアクセスメモリにストアされた前記第2の表を更新するステップとを含む、

前記メモリの仮想アドレスにデータを読出す際には

- (a) 前記仮想アドレスからページアドレスを引出すステップと、
- (f) 前記ページアドレスを前記メモリのページアドレス指定可能なブロックにマッピングするステップと、
- (g) 前記メモリの前記ページアドレス指定可能なブロックで仮想アドレスを物理アドレスにマッピングする前記第1の表のセグメントを読出すステップと、
- (h) 前記仮想アドレスを物理アドレスにマッピングするステップと、
- (i) 前記メモリの前記物理アドレスから前記データを読出すステップとを含む、メモリ管理方法。

8. すべてのブロックが書込まれていない転送ユニットを前記メモリに確立するステップと、

前記転送ユニット以外に消去されるべき選択されたユニットを周期的に識別するステップと、

前記選択されたユニットの各活性書込ブロックを読出すステップと、

前記選択されたユニットの各活性書込ブロックを前記転送ユニットに書込むステップと、



前記転送ユニットの割当表を更新して、すぐ前の書込ス

テップで書込まれたブロックの状態を書込として示すステップと、  
前記選択されたブロックを消去するステップと、  
仮想アドレスを物理アドレスにする前記表を更新して前記選択されたユニット  
を転送ユニットとして示すステップとを含み、前記転送ユニットは前記選択され  
たユニットのユニット識別子を有する、請求項 7 に記載のメモリ管理方法。

## 【発明の詳細な説明】

## フラッシュファイルシステム

発明の背景発明の分野

本発明は、フラッシュメモリに情報をストアし、これを取り出すための改良されたシステムに関し、より特定のにはフラッシュメモリに書込まれるデータを編成し、管理するシステムに関する。

先行技術の説明

当業者には認められるように、フラッシュタイプのフローティングゲートトランジスタを含む電氣的消去可能なプログラマブル読出専用メモリ（EEPROM）が当該分野で説明されており、現在市場で入手可能である。これらのいわゆるフラッシュメモリは、その機能および性能の点でEEPROMメモリと類似した不揮発性メモリであり、メモリのブロックを消去する回路内プログラマブル動作を可能にするというさらなる機能を有する。フラッシュメモリでは、以前に書込まれているメモリの領域を、その領域を前もってブロック消去することなく書替えることは慣用ではない。本発明はフラッシュメモリに関して説明されるが、当業者には、その教示がフラッシュメモリと同じ書込、読出および書込前ブロック消去特性を有するデータ記憶装置にも適用できることが理解されるであろう。

典型的なコンピュータシステムでは、オペレーティングシステムプログラムが、そのシステムの一部であるデータ

記憶装置のデータ管理を担っている。オペレーティングシステムプログラムとの互換性を達成するために必要かつ通常は十分であるデータ記憶装置の属性は、これがデータ記憶媒体の如何なる位置からもデータを読出すことができ、これにデータを書込むことができることである。したがって、データが以前に書込まれているフラッシュメモリの領域には、この領域をまず消去するまではデータが書込まれ得ないため、フラッシュメモリは典型的な既存のオペレーティングシステムプログラムと互換性がない。

オペレーティングシステムプログラムを変形することなく既存のコンピュータ

オペレーティングプログラムによってフラッシュメモリを管理することを可能にするソフトウェア製品が先行技術において提案されている。しかしながら、これらの先行技術のプログラムは、フラッシュメモリを「書込1回読出数回」の装置として動作させる。この先行技術のソフトウェア製品は、以前に書込まれているメモリ場所を再利用できない。最終的にすべての場所が書込まれれば、特定のユーザの介入なくさらにメモリを用いることができない。

#### 発明の概要

本発明のある目的は、コンピュータオペレーティングシステムにとってフラッシュメモリが如何なるフラッシュメモリ場所からもデータを読出すことができ、これにデータを書込むことができるデータ記憶装置に見えるようにフラ

ッシュメモリへのアクセスを制御し、管理するための方法（すなわちソフトウェア、ハードウェアのファームウェア）の提供である。フラッシュメモリがランダムアクセスメモリをエミュレートすることを可能にし、既存のコンピュータオペレーティングシステムが、エミュレーション方法に依存することなく、標準的なランダムアクセスメモリによって与えられるのと同じ態様で他のすべての必要なサポートを与えることを可能にする方法を提供する。

簡単に言えば、本発明は、書込まれていない物理アドレス場所にデータが連続的に書込まれることを可能にするフラッシュメモリ、仮想マッピングシステムの提供を企図するものである。仮想メモリマップは、メモリ内のデータの場所を追跡するためにフラッシュメモリ物理場所アドレスを関連づける。

フラッシュメモリの物理場所は、バイトのアレイとして編成される。アレイ内の各バイトには、それによってバイトが物理的にアクセス可能となるアドレス番号が割当てられ、これを以下、物理アドレス空間と称する。アレイ内の各バイトは、仮想アドレス空間と称する第2のアドレスを有する。仮想マップと称する表が仮想アドレスを物理アドレスに変換する。ここで、仮想アドレス空間は必ずしも物理アドレス空間と同じサイズではないことに注目されたい。

連続した固定長の物理バイト群は、ブロックからアドレスする。たとえば、ブロックサイズが512バイトとする

と、物理アドレスが256211であるバイトは、ブロック500内のバイト番号211である(256211:512=500+211)。適切な先行技術のフラッシュメモリ技術を用いて物理的に消去され得る1つ以上の物理的に連続したフラッシュメモリの領域(ゾーンと称する)はユニットを含み、各ユニットは整数個のブロックを含む。

仮想メモリマップとは、第1のエントリが仮想ブロック0に属し、第2のエントリが仮想ブロック1に属するといった具合の表である。表において各仮想ブロックアドレスと関連して、対応する物理アドレスが存在する。フラッシュメモリからの読出動作の際に、コンピュータ生成アドレスが、仮想ブロックアドレスおよびブロック内のバイト場所としてデコードされる。仮想メモリマップは、仮想ブロックアドレスを物理ブロックアドレスに変換するのに用いられる。バイト位置は仮想アドレス空間および物理アドレス空間において同じである。

書込動作の際に、コンピュータ生成アドレスが、やはり仮想ブロックアドレスおよびブロック内のバイト場所として解釈される。仮想メモリマップはこれを物理メモリブロックアドレスに変換する。物理アドレスに対応するフラッシュメモリブロックが現在書込まれていれば、一般にはこの物理アドレスに書込むのは不可能である。したがって、書込まれていないブロックの場所が突き止められ、これに書込まれる。仮想メモリマップは、書込まれていない物理

ブロックアドレスが元の仮想アドレスにマッピングされるように変えられ、そのブロックを含むユニットを消去するゾーン消去動作が行なわれるまでは元の物理アドレスは利用不可能なものとして示され、利用不可能なままである。書込動作はブロック全体が書替られることを仮定していることが認められるであろう。これが、コンピュータシステムが通常記憶媒体内のデータにアクセスする態様である。

しかしながら、一般には如何なる所望の数のバイトも新しい記憶場所に書込まれ得ることが認められるであろう。

本発明の好ましい実施例では、各ユニットに、そのユニットがフラッシュメモリ内の新しい物理アドレス場所に書替えられる際にも変わらないで維持される論

理ユニットアドレスが割当てられる。仮想マップは、物理ユニットアドレスではなく論理ユニットアドレスへの参照を含み、そのためユニット転送中のデータの動きが仮想マップに影響を及ぼさない。

各ユニットは、ユニット内のすべてのブロックの利用マップ、すなわち、もしマッピングされるのであればブロックの仮想アドレス、および空いているブロックを示し、かつ利用不可能なブロックを示す特殊文字を含む。

以前に書込まれているフラッシュメモリの利用不可能なブロックは、利用不可能なブロックを含むメモリユニットをフラッシュメモリ内の確保されている書込まれていない空間に転送することによって再利用される。利用可能なブ

ロックのみが転送動作において書込まれ、そのため書替えられる際に、利用不可能なブロックがあった場所は確保された空間には書替えられず、したがって利用可能である。書替えられた後、元のメモリユニット空間はユニットとしてフラッシュ消去され、したがってそこに後続の転送を行なうことができる書込まれていない確保された空間となる。

さらに、本発明の好ましい実施例では、フラッシュメモリに仮想マップがまずストアされ、ランダムアクセスメモリには小さな二次的な仮想マップしかない。フラッシュメモリ内の仮想マップはブロック単位でストアされ、ページに編成され、そのサイズはブロック内のバイト数とそのバイト数が表わす物理ブロックアドレスの数との積に等しい。二次的ランダムアクセスメモリはページアドレスを含む。所与の仮想アドレスについてデータを読み出す際に、アドレスをページサイズで割ることによってページ番号が決定される。その結果は、正しい一次仮想マップブロックを見い出すために二次仮想マップに示される。その余りは、フラッシュメモリ内にストアされた仮想マップに関する必要な物理アドレスを計算するのに用いられる。フラッシュメモリ内の仮想マップを変更するために、変更されたマップが空いたブロックに書込まれ、一次マップ場所の変更を反映するようにランダムアクセスメモリ内の二次マップが変更される。とって代わられたブロックは削除と示される。

図面の簡単な説明

上述のおよび他の目的、局面および利点は、図面を参照して、以下の本発明の好ましい実施例の詳細な説明よりさらに理解されるであろう。

図 1 は、本発明の教示に従うシステムの一実施例のシステムの機能的構成要素を示すブロック図である。

図 2 は、本発明の教示に従うフラッシュメモリ編成の 1 レベルの図的表現である。

図 3 は、ユニットが如何にフォーマット化されるかを示す図的表現である。

図 4 は、コンピュータ生成アドレスが物理アドレスに如何にマッピングされるかを示す図的表現である。

図 5 は、読出動作を示すフロー図である。

図 6 は、書込動作を示すフロー図である。

図 7 は、転送動作の前および後のユニットの状態を示す図的表現である。

図 8 は、転送動作のフロー図である。

図 9 は、仮想-物理マップの大部分がフラッシュメモリ内にストアされる動作を示すフロー図である。

#### 好ましい実施例の詳細な説明

ここで図面の図 1 を参照して、典型的なシステムでは、プロセッサ 10 がそのオペレーティングシステムソフトウェアとともに、ランダムアクセスメモリ内の特定のアドレス場所からデータを読出し、これにデータを書込む一連の読出および書込コマンドを発行する。当業者には認められ

るように、ディスクメモリ等のランダムアクセス記憶装置では、データは如何なるアドレス場所にも書込まれ、またはこれから読出すことが可能である。図 1 のシステムでは、プロセッサ 10 は特定のアドレス場所においてブロック単位でフラッシュメモリ 12 にデータを書込み、かつこれからデータを読出す。フラッシュメモリ 12 のゾーンは消去され得るが、現在書込まれているアドレス場所はゾーン全体が消去されるまで書替えられない。本発明の教示に従えば、フラッシュメモリコントローラ 14 は完全に書替可能な仮想アドレス空間を与え、そのためフラッシュメモリ 12 はディスクメモリ等のランダムアクセスメモリをエミュレ

ートし、プロセッサオペレーティングシステムソフトウェアは標準的なランダムアクセスメモリに提供するのと同じ態様で、かつフラッシュメモリ 1 2 およびそのコントローラ 1 4 に依存しない態様で、他のすべての必要な動作サポート（たとえばファイズシステム）を与える。典型的なシステムはまた、従来のランダムアクセスメモリ 1 6 を含む。コントローラ 1 4 の機能はソフトウェア、ハードウェアのファームウェアで行なわれてもよく、図面に示されるように物理的に別個のユニットとしては必ずしも存在しないことが理解されるであろう。

ここで図 2 を参照して、フラッシュメモリの編成の一部が示される。フラッシュメモリは、ここではゾーン A、ゾーン B 等で示されるいくつかのゾーンを有する。各ゾーン

は、従来の周知のフラッシュメモリ技術を用いてブロック消去され得るいくつかの連続した物理メモリ場所を含む。ゾーンはユニットとして編成され、ここではそのうちの 4 つだけが図示されており、図面でユニット # 1、ユニット # 6、ユニット N-1、および転送ユニットとして示される。各ユニットは少なくとも 1 つのゾーンを含み、複数の連続したゾーンを含む。ここでは、各ユニットが 2 つのゾーン（すなわち、ユニット # 1-ゾーン A およびゾーン B、ユニット # 2-ゾーン C およびゾーン D、転送ユニット-ゾーン x 2 および 2 x）を含むものとして示される。

各ユニットは整数個のアドレス可能なブロックを含み、各ブロックは連続した固定長のバイト群を含む。常に、メモリ 1 2 には書込まれていないユニット（すなわち転送ユニット）が存在し、そのため消去されるべきユニット内の活性ブロックは、そのユニットを消去する前にこの書込まれていないユニットに書込むことができる。

次に図 3 を参照して、各ユニットは、ブロック番号およびブロック内のオフセットとしてアドレス指定することができる連続するバイトアドレスを含む、整数の数の連続するデータブロック 2 1 を含む。ユニットの各ブロックは、ブロック番号およびブロックでのオフセットによってアドレス指定することができるユニットを有する。各ユニットは、ユニットヘッダ 2 3 と、ユニットの各ブロックの

割当状態のマップ25とを有する。ユニットヘッダ23は、フ

ォーマット識別子と、ユニットの論理ユニット番号とを含む。ユニット転送の間データが物理的に移動しなければならないため、好ましくは、フラッシュメモリ12のユニットの物理場所が変わってもユニット番号は変化しないままである。さらに、ヘッダは、システム全体の情報も含み得る。ブロック割当マップ25は、各ブロックのために、ユニットにおけるそのブロックの状態およびオフセットを示すワードを有する。状態の表示は、「ブロックは空いており書込可能である」、「ブロックは削除され書込不可能である」、「ブロックが割当てられユーザデータを含む」、およびブロックの仮想アドレス（バックポインタ）である。

上述のように、好ましくは、各ユニットには、メモリにおけるユニットの物理位置が変わっても変わらない論理ユニット番号が割当られる。図4に示されるように、コンピュータ10によって発生されたアドレス29は、ブロック番号およびブロックオフセットを含む。これらのアドレスはフラッシュコントローラ14によって仮想アドレスとして解釈され、仮想マップを用いて仮想アドレス空間と物理アドレス空間とを一致させるようにされる。仮想マップはブロックが書替られると変化し、したがって、仮想アドレス空間は動的なものである。なお、いかなる所与の時間にも、仮想アドレス空間における1つまたは複数のブロックが物理アドレス空間にマッピングされていなくてもよく、さらに、物理アドレス空間におけるブロックが書込まてい

なくてもよくしたがって自由に書込まれ得ることに注目されたい。

書込まれていないユニット空間へのユニット転送の間データが物理的に動くため、ユニットには、メモリにおけるユニットの物理場所が変わっても変わらない論理ユニット番号が割当られる。2レベルのアドレス変換の第1の段階において、仮想マップ31はブロック番号を論理ユニットアドレスにマッピングする。物理アドレスが物理ユニット番号に関するアドレスであるのと同様に、論理ユニットアドレスは論理ユニット番号に関するアドレスである。論理ユニット番号は、論理アドレスの高次2進数字であり、ビットシフト動作によって論理アドレスか



ら引出され得る。マップ 3 1 から得られた論理アドレス 3 3 は、ユニット内のブロックのオフセットとともに論理ユニット番号を含む。

論理ユニット表 3 5 は、論理ユニット番号を論理ユニットに関する物理ユニット番号に変換する。この 2 段階のアドレス変換手順により、ユニットが新しい物理位置に移動したときにマップのブロックアドレスを変える必要がなくなる。

読出動作において、仮想アドレス 2 9 は、たとえば、最初にアドレスブロックにおいて論理ユニット番号およびユニット内のブロックオフセットにマッピングされるブロックアドレスを含む。マップ 3 5 は、ユニット番号 3 3 を、ユニットに関する物理アドレス 3 7、およびユニット内の

ブロックのアドレス 3 7 のオフセットにマッピングし、アドレス指定されたデータブロックがこの物理的な場所から読出される。ここで、データは、典型的に行なわれるように、ブロックごとに読取られかつ書込まれると仮定する。もちろん、データは、必要であれば、同じ原理を用いてバイトごとに書込まれかつ読出されてもよい。図 5 は、この読出動作を説明するためのフロー図である。上述のように、2 段階のアドレス変換の第 1 の段階で、仮想アドレス 2 9 は論理アドレスにマッピングされる（ブロック 4 0）。第 2 の段階で、ブロック 4 1 において、論理アドレスはフラッシュメモリの物理アドレスにマッピングされる。ブロック 4 2 においてこの物理アドレスのデータが読出され、これによってこの動作が終了する。

書込動作では、仮想アドレス 2 9 はここでも最初に論理ユニット番号およびユニット内のブロックオフセットにマッピングされる。コントローラ 1 4 のアルゴリズムによって、このユニットに関するブロック割当マップ 2 5 が調べられる。このアドレスに対応するブロックが既書込まれていれば、対応する物理アドレスでは書込コマンドが実行できない。空きブロックが位置決めされるまで、制御アルゴリズムによって各ユニットに関するブロック割当マップ 2 5 が走査される。最初のユニットアドレスでのブロックマップ 2 5 におけるブロックの状態は割当マップにおいてブロックの削除に変えられ、空きブロックの状態は書込に

変えられる。今最初の仮想アドレスが書込動作が行なわれる予定の新しい論理アドレスを指すように、仮想マップ31が更新される。この論理アドレスは、上述のような状態で物理アドレスにマッピングされ、ブロックがこのアドレスに書込まれる。図6は、この書込動作を説明するためのフロー図である。書込動作では、ブロック45で仮想アドレス29が論理ユニットアドレスにマッピングされ、ブロック46でユニットに関するユニット割当てが調べられる。判定ブロック47でユニットアドレスが空いていれば、ブロック48でユニットアドレスは物理アドレスにマッピングされ、ブロック49でこの物理アドレスにデータが書込まれ、動作が終了する。論理アドレスが空いていなければ（ブロック47）、ブロック50で、ユニット表が走査され、ユニット割当て表において空きアドレスを位置決めする。ブロック51でこの新しい論理アドレスは物理アドレスにマッピングされ、ブロック52でこの物理アドレスにデータが書込まれる。ユニット割当て表は、最初のブロックが削除され書込不可能であり、新しいブロックが割当てられユーザデータを含むことを示すように更新される（ブロック53）。その後、ブロック54およびブロック55で、仮想／論理アドレスマップは、最初の仮想アドレスに対応するデータの新しい物理アドレスを指すように更新される。

読出動作および書込動作を制限なく継続させることができるようにするために、物理メモリ空間は周期的に再利用

される。上述のように、メモリの少なくとも1つのユニットが、その全体が空きブロックからなりかつ転送ユニットとして働くように、常に確保される。

次に図7を参照して、活性ユニットが選択され（ここでは、ユニット#M）、現在マッピングされているすべての活性ブロックが読出されその後転送ユニットに書込まれる。選択されたユニット#Mはその後ブロック消去され、転送ユニットとなり、活性ブロックが書込まれている転送ユニットはこの例ではユニット#Mとなる。図7は、転送動作の前後のユニットの状態を示している。図8は、この転送動作のフロー図である。転送動作において、ブロック60で転送のためのユニットが選択され、ブロック61で、選択されたユニットの活性データブロックが読出される。その後、ブロック62で、これらの活性データブロックは、そ

これらの活性データブロックが最初のユニットで配置されていた場所に対応する、転送ユニットの場所に書込まれる。その後、ブロック63で、選択された最初のユニットがフラッシュ消去され、ブロック64で、選択されたユニットが転送ユニットとなり転送ユニットに選択されたユニットのユニット番号が割当てられるように、論理／物理アドレスマップが変えられる。

以上のように説明したシステムには、その内容が自由に更新される仮想マップが必要であり、そのようなマップは従来のランダムアクセスメモリにストアされ得る。しかし、

たとえば、ブロックサイズが512バイトであると仮定すると、仮想マップが各ブロックのためにエントリを含み、各エントリがたとえば4バイト長（すなわち、4ギガバイトのメモリまでアドレス指定できる長さ）であってもよい場合、80Mバイトのフラッシュメモリでは、マップ表をストアするために640Kバイトのメモリが必要であろう。仮想マップをストアするのに必要なランダムアクセスメモリの量を制限するために、本発明の好ましい実施例では、マップデータの主要部分がフラッシュメモリ12自体にストアされ、仮想アドレスをコンピュータから一次仮想マップにマッピングする二次仮想マップがメモリ16のようなランダムアクセスメモリにストアされる。ここで、重要なポイントは、二次仮想マップの構成によって、仮想マップの読出および書込のための手順が、上述のような通常のデータの読出および書込のための手順と同一にされることである。上述の説明におけるユーザデータおよびランダムアクセスメモリにストアされた仮想マップ（すなわち、二次仮想マップ）と同じ態様で扱われる仮想マップ自体は、上述の説明における仮想マップと同等のものである。

本実施例では、仮想マップはフラッシュメモリ12の負の仮想アドレスにあり、通常の空間は仮想アドレス0で始まる。仮想マップは、フラッシュメモリにある仮想マップを通常のユーザデータと同様に読出しかつ書込むことができるようにするために、仮想マップ自体によって用いられ

る負のアドレスをマッピングし、それ自体をマッピングする仮想マップの一部分

(すなわち、二次仮想マップ) だけがランダムアクセスメモリにある。

簡略化された例では、6000バイトの仮想マップが12個の仮想マップブロックにストアされ、その各々のブロックが512バイトであると仮定する。アドレスが4バイトであると仮定すると、各ブロックは128個の物理アドレスをストアすることができる。したがって、各ブロックは、仮想フラッシュメモリの64Kバイトのアドレスを含む。仮想フラッシュメモリのアドレスからなる各ブロックはページとして考えられ、ランダムアクセスメモリは、アドレスブロックにマッピングされるページアドレス（この例では、48バイトだけ）をストアする。所与の仮想アドレスからデータを読み出す際に、アドレスはページサイズ（64Kバイト）で除算され、アドレスがストアされる一次仮想マップのページブロックにマッピングする二次仮想メモリのページ番号が得られる。仮想メモリページブロックを用いて、特定のフラッシュメモリの物理アドレスにマッピングする手順を、上述の態様で行なうことができる。たとえば、仮想アドレスをページサイズで除算した後、その剰余を仮想メモリブロックサイズ（たとえば、512）で除算してフラッシュメモリから読み出されるアドレスの配列に対するインデックスを得ることができる。

所与の仮想アドレスにデータを書込む際に、コンピュー

タによって発生されたアドレスもページサイズで除算され、フラッシュメモリの二次仮想マップに対するインデックスが得られる。二次仮想マップは、一次仮想マップブロックが読み出される一次仮想マップにマッピングし、これは、読み出される、アドレス指定された物理ブロックにマッピングするのに用いられる。このブロックは書替えることができないため、書き込みされていないブロックが識別され、そこに、削除として示される最初のデータブロックが上述の態様で書き込まれる。フラッシュメモリにある仮想マップを更新するために、本質的に同じ手順がその後に行なわれる。アドレスデータの新しい物理場所を反映するように変形された形の仮想マップブロックは、フラッシュメモリの書き込みされていないブロックに書き込まれ、古いブロックは削除として示される。ランダムアクセスメモリの二次仮想メモリは、必要に応じて、一次仮想メモリブロックの場所の変化を反映

するように変えられる。

図9は、この動作のフロー図である。このプロセスの第1のステップは、ブロック70で仮想アドレスをページ番号に変換し、ブロック71で、ページ番号を用いてフラッシュメモリ12にストアされた仮想マップの関連するページブロックのアドレスをRAM16において位置決めすることである。このアドレスでの仮想マップのページブロックは、フラッシュメモリから読出され（ブロック72）、上述の態様で用いられて、データ読出動作またはデータ書

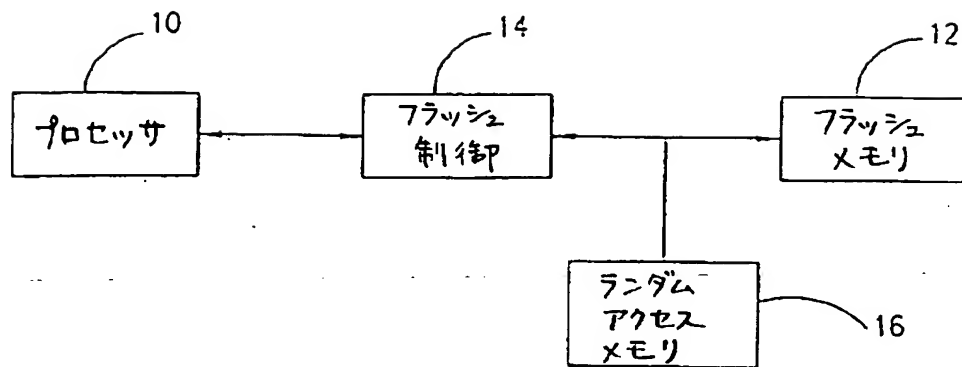
込動作のために仮想アドレスに対応する物理アドレスを位置決めする。データ書込動作では、ブロック73で仮想マップのページブロックを更新しなければならず、ブロック74で、更新されたページブロックの仮想マップはフラッシュメモリの空き物理アドレス場所に書込まれる。ブロック75で、ページブロックの仮想マップが配置されていた最初のフラッシュメモリアドレスが削除として示され、ブロック76で、RAMメモリ16は、更新されたマップに関する仮想／物理マップアドレスを指すように更新される。

仮想マップは、システムの始動の際に容易に再構成することができる。フラッシュメモリにある仮想マップは不揮発性であり、再構成する必要はない。揮発性ランダムアクセスメモリにある二次仮想マップは、始動時に各ユニットの頂部にあるブロック利用マップを走査することによって再構成することができる。仮想アドレスにマッピングされたとして示されたブロックが識別され、それに応じて二次仮想マップが構成される。

以上、本発明を1つの好ましい実施例に関して説明したが、添付の請求の範囲の精神および範囲内で本発明に変形を加えることができることが当業者により認識されるであろう。

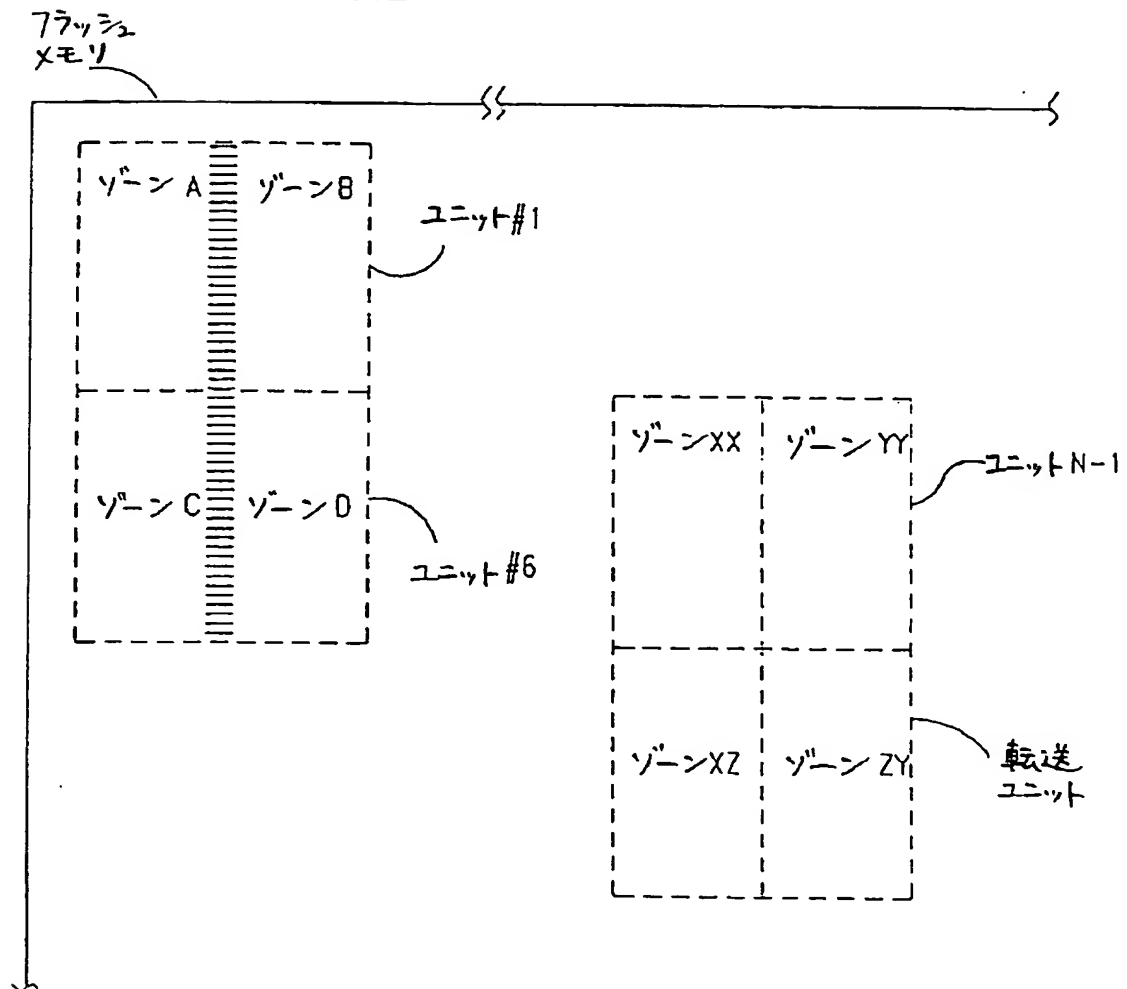
【図1】

FIG.1



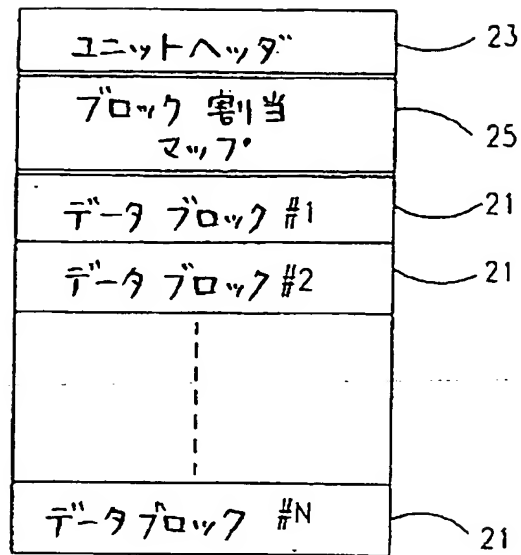
【図2】

FIG.2



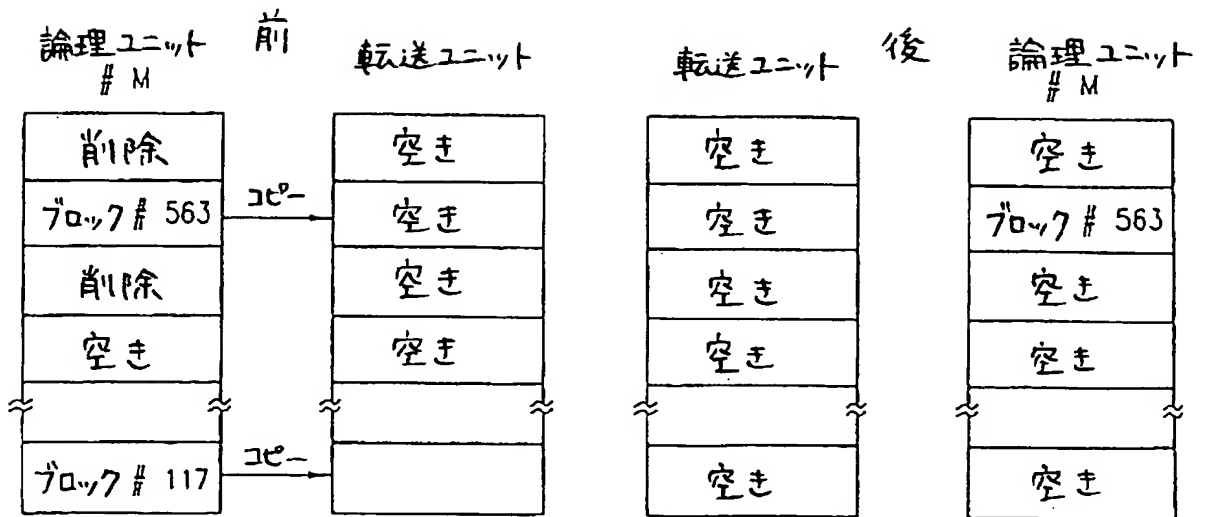
【図3】

FIG.3



【図7】

FIG.7



【図4】

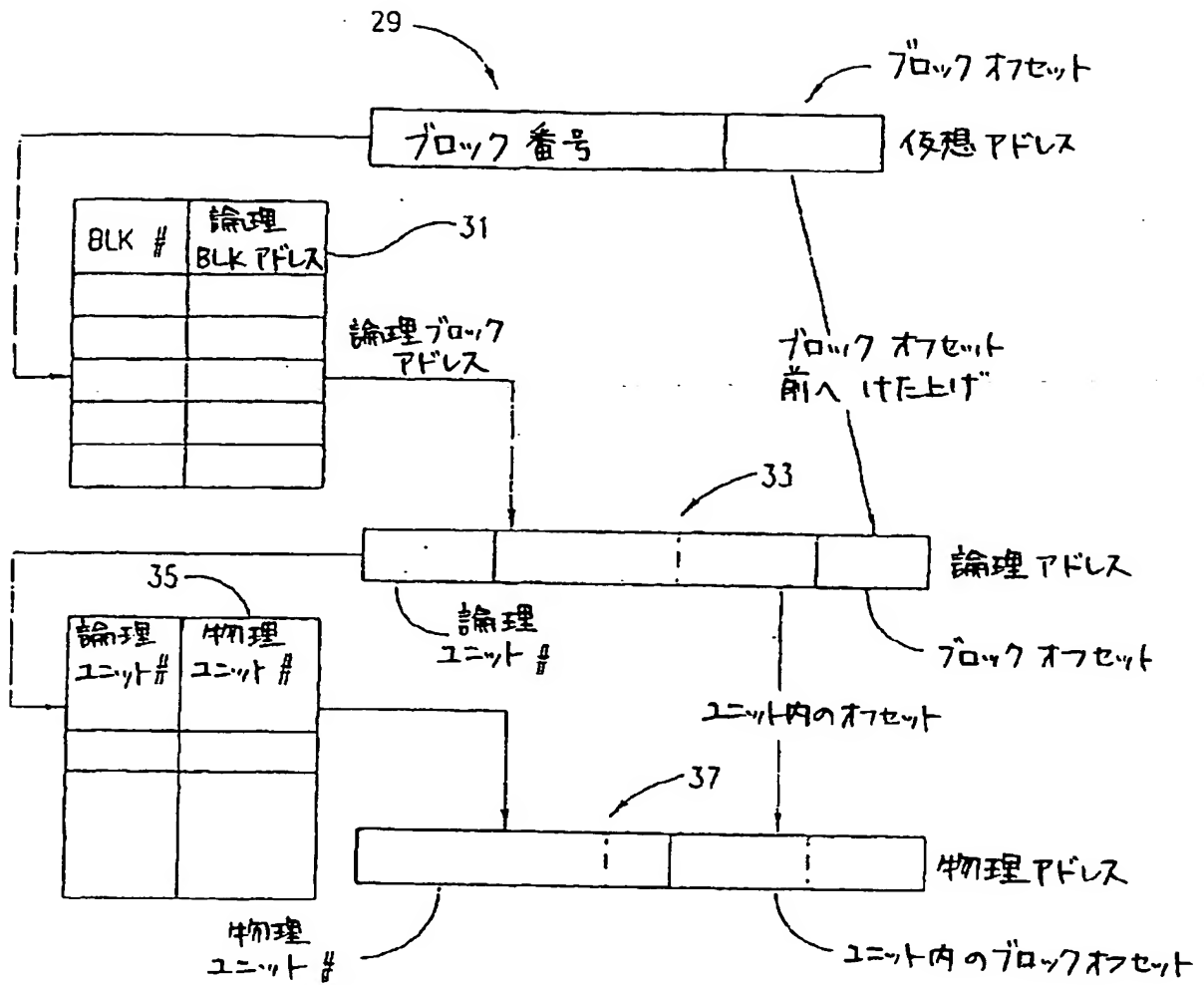


FIG.4



【図5】

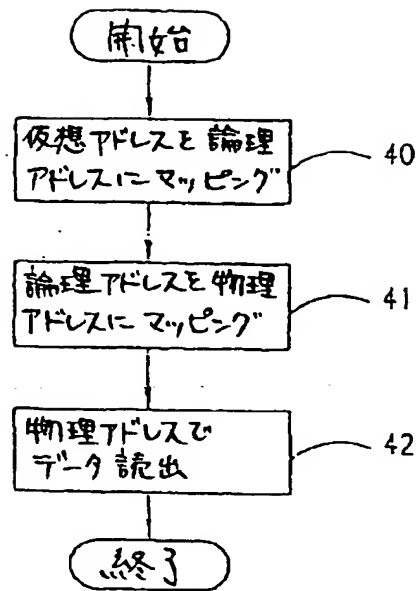
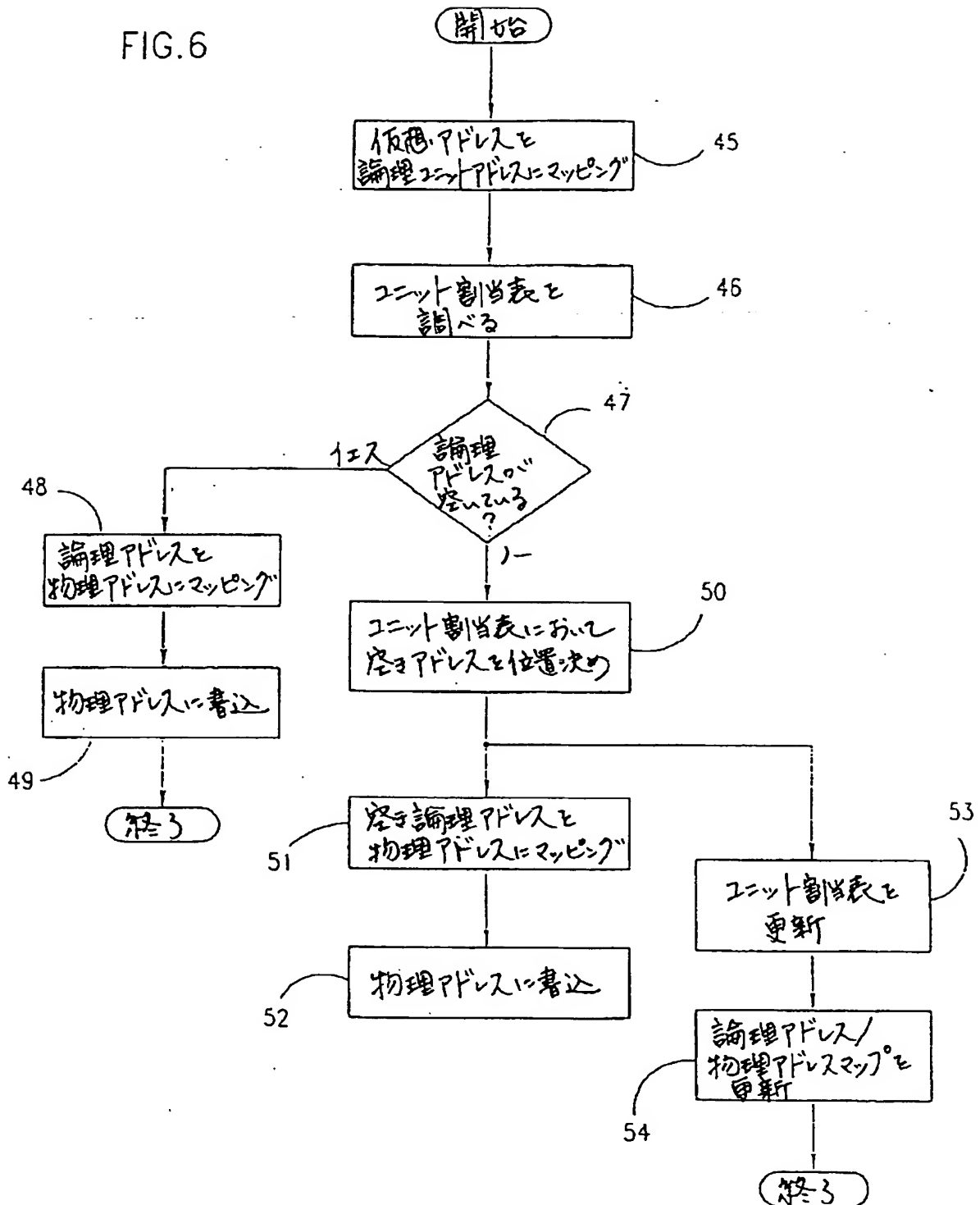


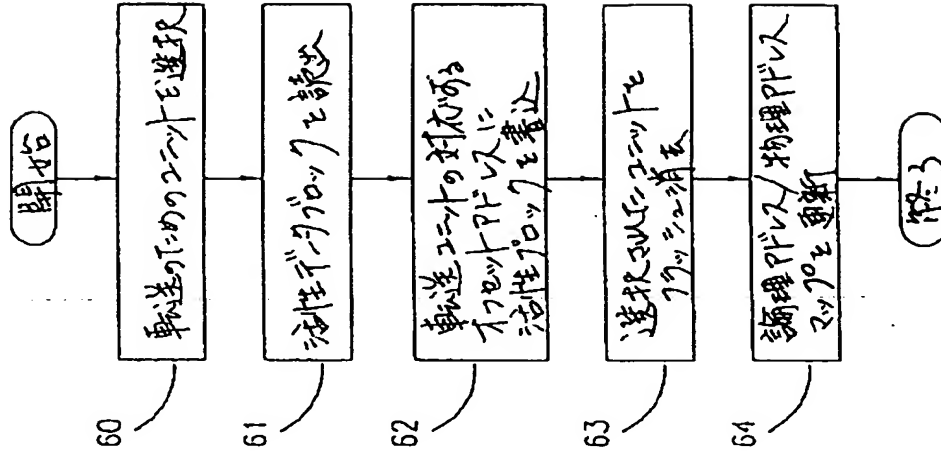
FIG.5

【図6】

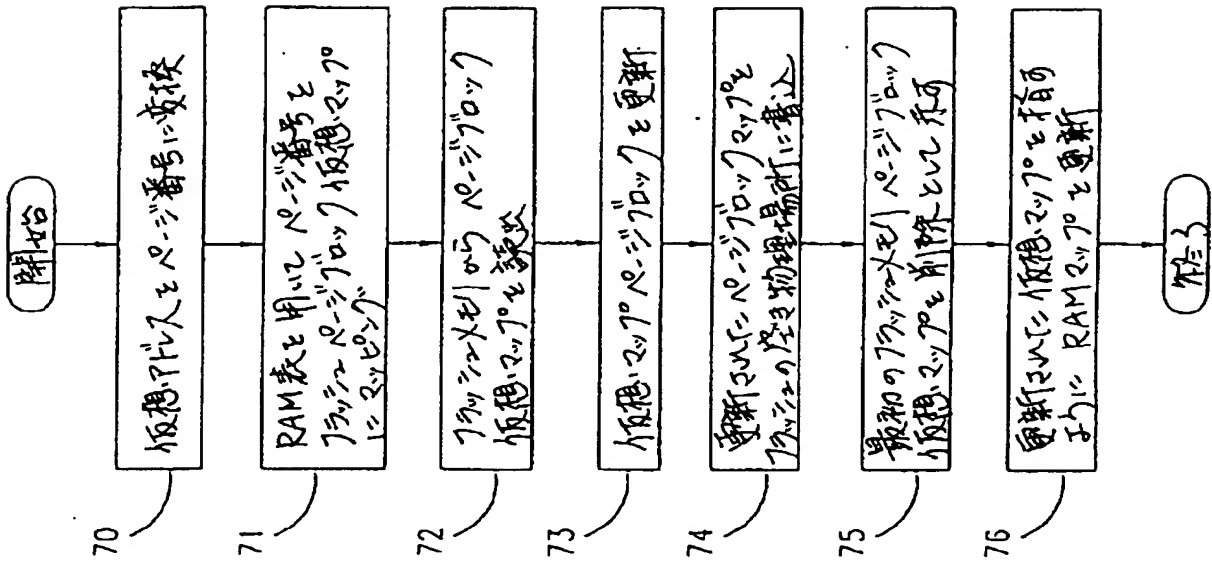
FIG. 6



【図8】



【図9】



【国際調査報告】

## INTERNATIONAL SEARCH REPORT

International application No.  
PCT/US94/01848

## A. CLASSIFICATION OF SUBJECT MATTER

IPC(5) : G06F 12/02

US CL : 395/400, 425

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

U.S. : 395/400, 425 : 364/200, 900

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

APS

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US, A, 4,511,964 (Goerg et al.) 16 April 1985 See figure 2, column 6, lines 35-53; figure 4, column 8, lines 30-53	1-8
A,P	US, A, 5,193,184 (Belsan et al.) 09 March 1993 See the entire document.	1-8
A,P	US, A, 5,210,866 (Milligan et al.) 11 May 1993 See the entire document.	1-8
Y,E	US, A, 5,301,288 (Newman et al.) 05 April 1994 See figure 1, columns 2-3.	1-8

☐ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:	* T	later documents published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
* A		document defining the general state of the art which is not considered to be part of particular relevance
* E		earlier document published on or after the international filing date
* L		document which may throw doubt on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
* O		document referring to an oral disclosure, use, exhibition or other means
* P		document published prior to the international filing date but later than the priority date claimed
	* X	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
	* Y	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
	* A	document member of the same patent family

Date of the actual completion of the international search

08 JUNE 1994

Date of mailing of the international search report

JUN 24 1994

Name and mailing address of the ISA/US  
Commissioner of Patents and Trademarks  
Box PCT  
Washington, D.C. 20231

Authorized officer

Joseph L. Dixon

Facsimile No. Not Applicable

Telephone No. (703) 305-9600

---

フロントページの続き

(81)指定国           EP(AT, BE, CH, DE,  
DK, ES, FR, GB, GR, IE, IT, LU, M  
C, NL, PT, SE), OA(BF, BJ, CF, CG  
, CI, CM, GA, GN, ML, MR, NE, SN,  
TD, TG), AT, AU, BB, BG, BR, BY,  
CA, CH, CZ, DE, DK, ES, FI, GB, H  
U, JP, KP, KR, KZ, LK, LU, MG, MN  
, MW, NL, NO, NZ, PL, PT, RO, RU,  
SD, SE, SK, UA, VN

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**